



PATENT ABSTRACTS OF JAPAN

(11) Publication number: **11089225 A**

(43) Date of publication of application: 30 . 03 . 99

(51) Int. Cl.

H02M 3/155
H03K 17/695
(21) Application number: **09238472**(71) Applicant: **NEC CORP**

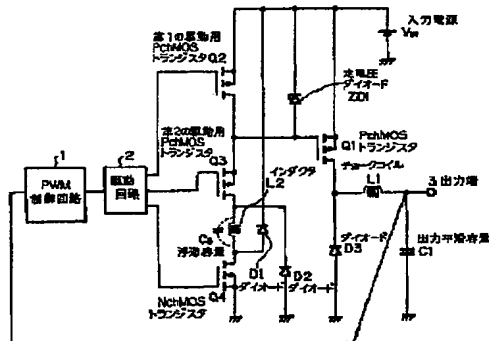
(22) Date of filing: 03 . 09 . 97

(72) Inventor: **UCHIDA TAKAHITO**
**(54) DRIVING LOSS REDUCTION METHOD AND ITS
EQUIPMENT OF SWITCHING POWER SOURCE
EQUIPMENT**
(57) Abstract:

PROBLEM TO BE SOLVED: To reduce increase of driving loss which is caused by voltage clamp of a Pchannel MOS transistor as a main switch.

SOLUTION: In a Pchannel MOS transistor Q1, the part between a gate and a source is clamped with a voltage regulator diode ZD1. Energy is accumulated in an inductor L2 connected between a drain of a P-channel MOS transistor Q3 for driving and a drain of an Nchannel MOS transistor, during the ON-period of the pchannel MOS transistor Q1, and the energy is regenerated to an input power source V_{in} through diodes D1, D2 during the OFF-period.

COPYRIGHT: (C)1999,JPO



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

特許第3137045号
(P3137045)

(45) 発行日 平成13年2月19日 (2001.2.19)

(24) 登録日 平成12年12月8日 (2000.12.8)

(51) Int.Cl.⁷

識別記号

F I

H 0 2 M 3/155

H 0 2 M 3/155

S

H

H 0 3 K 17/695

H 0 3 K 17/687

B

請求項の数6 (全 7 頁)

(21) 出願番号 特願平9-238472

(22) 出願日 平成9年9月3日 (1997.9.3)

(65) 公開番号 特開平11-89225

(43) 公開日 平成11年3月30日 (1999.3.30)

審査請求日 平成9年9月3日 (1997.9.3)

(73) 特許権者 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72) 発明者 内田 敬人

東京都港区芝五丁目7番1号 日本電気株式会社内

(74) 代理人 100088328

弁理士 金田 暢之 (外2名)

審査官 佐々木 一浩

(56) 参考文献 特開 平4-372570 (J P, A)

(58) 調査した分野(Int.Cl.⁷, D B名)

H02M 3/155

H03K 17/695

(54) 【発明の名称】 スイッチング電源装置の駆動損失低減方法および装置

1

(57) 【特許請求の範囲】

【請求項1】 スイッチング電源装置の駆動損失低減方法において、

PWM制御回路により、駆動回路を通してドレインにダイオードが接続された主スイッチであるPchMOSトランジスタを駆動する段階と、

前記PchMOSトランジスタのゲートにアノードを接続し、前記PchMOSトランジスタのソースにカソードを接続した定電圧ダイオードにより前記PchMOSトランジスタのゲート・ソース間に印加させる電圧をクランプする段階と、

前記PchMOSトランジスタをオンさせると同時に前記定電圧ダイオードによりクランプされた電圧でエネルギー蓄積用インダクタを励磁させる段階と、

前記励磁により前記エネルギー蓄積用インダクタに蓄積さ

2

れたエネルギーを入力電源に再生させる段階とを有することを特徴とするスイッチング電源装置の駆動損失低減方法。

【請求項2】 前記主スイッチであるPchMOSトランジスタのドレインに接続されたダイオードと並列に同期整流用NchMOSトランジスタを設ける段階と、該同期整流用NchMOSトランジスタと前記PchMOSトランジスタを同時にオンすることがないように駆動する段階とを有する請求項1記載のスイッチング電源装置の駆動損失低減方法。

【請求項3】 ソースに直流の入力電圧の供給を受け、この入力電圧をスイッチングしてドレインから断続電圧を出力する主スイッチング用のPchMOSトランジスタと、出力電圧、出力電流、入力電圧に対応して駆動パルス幅を制御するPWM制御回路と、前記PWM制御回

10

路の制御パルス信号の供給にตอบสนองして前記PchMOSトランジスタを駆動する第1の駆動回路と、前記断続電圧を平滑して出力電圧を出力する平滑回路とを備えるスイッチング電源装置において、

前記PchMOSトランジスタのゲート・ソース間に印加される電圧をクランプするためにアノードを前記PchMOSトランジスタのゲートに接続し、カソードを前記PchMOSトランジスタのソースに接続した定電圧ダイオードと、

前記PchMOSトランジスタをオンさせるための第1の駆動用PchMOSトランジスタと、

駆動用NchMOSトランジスタと、

前記第1の駆動用PchMOSトランジスタと前記駆動用NchMOSトランジスタにより前記定電圧ダイオードでクランプされたエネルギーで励磁されるインダクタとを有することを特徴とするスイッチング電源装置。

【請求項4】 前記PWM制御回路の制御信号により主スイッチたる前記PchMOSトランジスタをオフさせるための第2の駆動用PchMOSトランジスタと、クランプエネルギー蓄積用インダクタのエネルギーを入力電源に回生するための前記インダクタの一端と入力電源との間に接続された第1のダイオードと、

前記インダクタの他端と接地との間に接続された第2のダイオードとを有する請求項3記載のスイッチング電源装置。

【請求項5】 前記主スイッチであるPchMOSトランジスタのドレインに接続されたダイオードと並列に設けられた同期整流用NchMOSトランジスタと、該NchMOSトランジスタと前記PchMOSトランジスタとが、同時にオンすることを防止する手段とを有する請求項4記載のスイッチング電源装置。

【請求項6】 前記同期整流用NchMOSトランジスタを駆動する第2の駆動回路と、該駆動回路に一定の電圧を供給する定電圧回路とを有する請求項5記載のスイッチング電源装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、スイッチング電源装置に関し、特に駆動損失の低減方法に関する。

【0002】

【従来の技術】ノート型パソコンなど、バッテリー電源のポータブル機器が増加してきている。これらのポータブル機器では、バッテリー電源から機器の要求する5V、3.3V等の電圧を生成するのに、降圧型のスイッチング電源回路が一般的に使用される。降圧型のスイッチング電源回路において、入力電圧、すなわちバッテリー電圧と機器の要求する出力電圧の関係は、スイッチング電源回路のデューティサイクルをDとすると次のように表わされる。

【0003】出力電圧=D×入力電圧

デューティサイクルDはPWM制御により、0から1までの値をとり得る。したがって、出力電圧を入力電圧まで制御しようとするときD=1、すなわち100%のデューティサイクルを達成する必要がある。

【0004】一方、図6の従来例のように、主スイッチにPchMOSトランジスタQ1を使用すると主スイッチの駆動電圧はグラウンドから入力電圧までの範囲となる。ポータブル機器においては、バッテリー以外に電源を有していないため、前述の100%のデューティサイクルを実現するには駆動回路に別電源を不要とするPchMOSトランジスタを主スイッチとする回路構成が必要となる。

【0005】図7にPchMOSトランジスタを使用する場合の駆動回路の例を示す。ここで、PchMOSトランジスタQ1のゲート・ソース間には前述のように、入力電圧からグラウンドまでの電圧が印加されることになる。PchMOSトランジスタQ1のゲート・ソース間電圧は最大印加可能な電圧が絶対最大定格として規定されており、一般的に15Vから20Vである。一方、ノート型のパソコン等の場合、バッテリーを充電する場合を想定すると20V前後の電圧がスイッチング電源回路に入力電圧として印加されることがある。そこで、PchMOSトランジスタのゲート・ソース間の絶対最大定格を超えないよう図6の従来例ではPchMOSトランジスタQ1のゲート・ソースを定電圧ダイオードZD1でクランプしている。

【0006】

【発明が解決しようとする課題】上述した従来のスイッチング電源回路では、前述のように入力電圧がPchMOSトランジスタQ1のゲート・ソース間電圧の絶対最大定格を超える場合、クランプすることによる損失が発生する。入力電圧を V_{IN} 、定電圧ダイオードのツェナー電圧すなわちクランプ電圧を V_Z 、クランプ時に定電圧ダイオードを流れる電流を I_Z とすると、クランプ時の損失は次のようになる。

【0007】 $P_{clamp} = (V_{IN} - V_Z) \cdot I_Z \cdot D$

ここで、トランジスタQ1がオンする期間を T_{ON} 、Q1のスイッチング周期をTとして、 $D = T_{ON}/T$ はQ1のデューティサイクルを示す。

【0008】ノート型パソコンの場合で、具体的かつ一般的な値を採用すると

$P_{clamp} = (25V - 15V) \times 5mA \times 0.2 = 10mW$

となる。

【0009】クランプ電圧をPchMOSトランジスタのゲート・ソース間絶対最大定格にできる限り近づけることで最大入力電圧時のクランプしたことによる損失を低減できる。

【0010】しかし、PchMOSトランジスタは、駆動電圧に依存した損失が発生する。PchMOSトラン

ジスタのゲート・ソース間に印加される駆動電圧を V_{GS} 、PchMOSトランジスタのゲート・ソース間静電容量を C_{GS} 、 T をスイッチング周期とすると駆動損失 P_{drive} は次のように表わされる。

$$【0011】 P_{drive} \cong C_{GS} \cdot V_{GS}^2 / T$$

ここで、入力電圧 V_{IN} がクランプ電圧 V_Z より低い場合、PchMOSトランジスタのゲート・ソース間に印加される駆動電圧はほぼ入力電圧に等しいので、

$$P_{drive} \cong C_{GS} \cdot V_{IN}^2 / T \quad (V_{IN} < V_Z \text{ の場合})$$

となる。すなわち、PchMOSトランジスタの駆動損失は入力電圧の2乗に比例して増大する。

【0012】 また、 V_{IN} が V_Z よりも高い場合は、

$$P_{drive} \cong C_{GS} \cdot V_Z^2 / T \quad (V_{IN} \geq V_Z \text{ の場合})$$

となり、 V_Z の2乗に比例して駆動損失が増大する。

【0013】 ノート型パソコンの場合で、具体的な一般的な値を採用すると

$$P_{drive} \cong 1500 \text{ pF} \times (15 \text{ V})^2 / 3 \mu\text{s} = 0.1125 \text{ W}$$

となる。

【0014】 ポータブル機器の動作時間を伸ばすためには、これらの損失をできる限り抑える必要がある。

【0015】 上述した従来のスイッチング電源装置では、駆動損失を低減するにはPchMOSトランジスタのゲート・ソース間の駆動電圧をできる限り低くする必要があるが、そのためにはクランプ電圧を低くしなければならない。しかし、クランプをすることによる損失は入力電圧とクランプ電圧の差に比例するのでクランプ電圧を下げるとクランプ時の損失が増大するという欠点がある。

【0016】 本発明の目的は、クランプ電圧を低くしても、駆動損失が増大しないスイッチング電源装置の駆動損失低減方法および装置を提供することである。

【0017】

【課題を解決するための手段】 本発明のスイッチング電源装置の駆動損失低減方法は、PWM制御回路により、駆動回路を通してドレインにダイオードが接続された主スイッチであるPchMOSトランジスタを駆動する段階と、前記PchMOSトランジスタのゲートにアノードを接続し、前記PchMOSトランジスタのソースにカソードを接続した定電圧ダイオードにより前記PchMOSトランジスタのゲート・ソース間に印加させる電圧をクランプする段階と、前記PchMOSトランジスタをオンさせると同時に前記定電圧ダイオードによりクランプされた電圧でエネルギー蓄積用インダクタを励磁させる段階と、前記励磁により前記エネルギー蓄積用インダクタに蓄積されたエネルギーを入力電源に回生させる段階とを有する。

【0018】 このスイッチング電源装置の駆動損失低減方法では、オン期間内にクランプされたエネルギーをインダクタに蓄え、主スイッチのオフ時間内にそのエネ

ギーを入力電源に回生するので、駆動損失の増大を防止することができる。

【0019】 前記主スイッチであるPchMOSトランジスタのドレインに接続されたダイオードと並列に同期整流用NchMOSトランジスタを設ける段階と、該同期整流用NchMOSトランジスタと前記PchMOSトランジスタを同時にオンすることがないように駆動する段階とを有してもよい。

【0020】 本発明のスイッチング電源装置は、ソースに直流の入力電圧の供給を受け、この入力電圧をスイッチングしてドレインから断続電圧を出力する主スイッチ用のPchMOSトランジスタと、出力電圧、出力電流、入力電圧に対応して駆動パルス幅を制御するPWM制御回路と、前記PWM制御回路の制御パルス信号の供給に応答して前記PchMOSトランジスタを駆動する第1の駆動回路と、前記断続電圧を平滑して出力電圧を出力する平滑回路とを備えるスイッチング電源装置において、前記PchMOSトランジスタのゲート・ソース間に印加される電圧をクランプするためにアノードを前記PchMOSトランジスタのゲートに接続し、カソードを前記PchMOSトランジスタのソースに接続した定電圧ダイオードと、前記PchMOSトランジスタをオンさせるための第1の駆動用PchMOSトランジスタと、駆動用NchMOSトランジスタと、前記第1の駆動用PchMOSトランジスタと前記駆動用NchMOSトランジスタにより前記定電圧ダイオードでクランプされたエネルギーで励磁されるインダクタとを有する。

【0021】 また、前記PWM制御回路の制御信号により主スイッチたる前記PchMOSトランジスタをオフさせるための第2の駆動用PchMOSトランジスタと、クランプエネルギー蓄積用インダクタのエネルギーを入力電源に回生するための前記インダクタの一端と入力電源との間に接続された第1のダイオードと、前記インダクタの他端と接地との間に接続された第2のダイオードとを有してもよい。

【0022】 また、前記主スイッチであるPchMOSトランジスタのドレインに接続されたダイオードと並列に設けられた同期整流用NchMOSトランジスタと、該NchMOSトランジスタと前記PchMOSトランジスタとが、同時にオンすることを防止する手段とを有することが望ましい。

【0023】 さらに、前記同期整流用NchMOSトランジスタを駆動する第2の駆動回路と、該駆動回路に一定の電圧を供給する定電圧回路とを有するものであってもよい。

【0024】

【発明の実施の形態】 次に、本発明の実施の形態について図面を参照して説明する。

【0025】 図1は本発明のスイッチング電源装置の第

1実施形態の回路図である。

【0026】この実施形態のスイッチング電源装置は図1に示すように、PWM制御回路1と駆動回路2と主スイッチであるPchMOSトランジスタQ1と第1の駆動用PchMOSトランジスタQ2と第2の駆動用PchMOSトランジスタQ3とNchMOSトランジスタQ4と定電圧ダイオードZD1とダイオードD1、D2、D3とチョークコイルL1とエネルギー蓄積用インダクタL2と出力平滑容量C1とから構成されている。

【0027】PchMOSトランジスタQ1のソースは、入力電源 V_{IN} に接続され、PchMOSトランジスタQ1のドレインはチョークコイルL1の一端に接続されており、PchMOSトランジスタQ1がオンの期間は入力電源 V_{IN} からチョークコイルL1を通り出力平滑容量C1により平滑された電圧が出力端3に現れる。また、ダイオードD3のカソードはPchMOSトランジスタQ1のドレインに接続されており、PchMOSトランジスタQ1がオフの期間にダイオードD3、チョークコイルL1をとおり出力端3に電圧が現れる。この降圧方式のスイッチング電源回路において、PchMOSトランジスタQ1のゲート・ソース間に入力電源 V_{IN} をクランプするための定電圧ダイオードZD1がカソードをPchMOSトランジスタQ1のソースに、アノードをPchMOSトランジスタQ1のゲートに接続されている。第1の駆動用PchMOSトランジスタQ2はPchMOSトランジスタQ1を駆動されるためのものであり、そのソースはPchMOSトランジスタQ1のソースに、そのドレインはPchMOSトランジスタQ1のゲートに接続されている。第2の駆動用PchMOSトランジスタQ3とNchMOSトランジスタQ4はPchMOSトランジスタQ1をオンさせるためのトランジスタであり、かつ定電圧ダイオードZD1によってクランプされた電圧をエネルギー蓄積用インダクタL2に印加し、クランプエネルギーをインダクタL2に蓄積させるように動作する。第2の駆動用PchMOSトランジスタはソースをPchMOSトランジスタQ1のゲートに、またドレインをインダクタL2の一端に接続されている。駆動用NchMOSトランジスタQ4のドレインはインダクタL2の他の一端に、また、ソースはグラウンドに接続される。ダイオードD1およびD2はPchMOSトランジスタQ1のオン期間にインダクタL2に蓄積されたエネルギーを入力電源 V_{IN} に回生させるように働く。ダイオードD1のカソードは入力電源 V_{IN} に、D1のアノードはインダクタL2の駆動用NchMOSトランジスタQ4に接続されている一端に接続される。ダイオードD2のカソードはインダクタL2の駆動用PchMOSトランジスタQ3が接続されている一端に、ダイオードD2のアノードはグラウンドに接続される。駆動用PchMOSトランジスタQ2、Q3およびNchMOSトランジスタQ4のゲートは駆動回路2を

通してPWM制御回路1に接続され、適切なデューティサイクルで駆動されるようになっている。

【0028】図2はPWM制御回路1の出力と、PchMOSトランジスタQ1のゲート電圧と、NchMOSトランジスタQ4のドレイン電流とダイオードD1、D2を流れる電流とインダクタL2を流れる電流の時間経過を示している。

【0029】図2に示すように、本実施形態のスイッチング電源装置では、まず、PWM制御回路1の出力により、PchMOSトランジスタQ1のゲートが駆動される。期間Iは、駆動用MOSトランジスタQ3およびQ4がオンしてインダクタL2の浮遊容量 C_s を通してPchMOSトランジスタQ1のゲート・ソース間の電荷の一部が引抜かれている期間である。

【0030】インダクタL2の浮遊容量 C_s が充電されると、定電圧ダイオードZD1によるクランプ電圧はQ1のゲート・ソース間絶対最大定格電圧より充分低く、かつQ1を駆動するに充分高い電圧に設定されているので、期間IIでは、入力電源 V_{IN} から定電圧ダイオードZD1を通してインダクタL2に励磁電流が流れる。

【0031】期間IIIでは、駆動用トランジスタQ3、Q4がオフした後Q2がオンする。Q2がオンすることにより、PchMOSトランジスタQ1のゲート・ソース間が短絡され、Q1はカットオフされる。一方、インダクタL2に蓄積されたエネルギーはQ3、Q4がオフしているので、ダイオードD2、インダクタL2およびダイオードD1をとおり、入力電源 V_{IN} に回生される。

【0032】図3(a)、(b)および(c)は、図2の期間I、IIおよびIIIにおける図1のスイッチング電源装置の状態をシンボル化した等価回路で示している。

【0033】本実施形態のスイッチング電源装置では、主スイッチのオン期間内にクランプされた電圧によるエネルギーがインダクタに蓄えられ、主スイッチのオフ期内にそのエネルギーが入力電源に回生されるので駆動損失の増大が防がれる。すなわち、インダクタL2のインダクタンスを L_2 とし、インダクタL2に流れる電流のピークを I_L とすると、インダクタL2に蓄積されるエネルギーは $(1/2) \cdot L_2 \cdot I_L^2$ であり、周期Tでスイッチング動作をしている場合、最大 $(1/2) \cdot L_2 \cdot I_L^2 / T$ の損失が低減できる。現実的な値として、 L_2 の値を $500 \mu H$ 、 I_L を $50 mA$ 、周期を $3 \mu s$ とすると最大可能な損失改善値は、 $0.208 W$ となる。

【0034】また、クランプ電圧を $5 V$ 程度に設定すると、Q1としても充分駆動は可能であり、このときのQ1の駆動損失は、

$1500 pF \times (5 V)^2 / 3 \mu s = 0.0125 W$ となり、前述のように $15 V$ でQ1を駆動した場合に比べ $1/10$ 程度損失が低減する。

【0035】図4は本発明のスイッチング電源装置の第2実施形態の回路図である。

【0036】この実施形態のスイッチング電源装置はポータブル機器用のものであって効率の向上すなわち損失の低減のため同期整流回路が用いられている。図4に示すように、図1の回路に同期整流回路用の構成として、定電圧回路4とインバータINV1と抵抗R1、R2、R3、R4、R5とダイオードD4、D5、D6、D7、D8とPchMOSトランジスタQ5、Q6、Q7とが追加されている。NchMOSトランジスタQ5は、同期整流用としてドレインをダイオードD3のカソードに並列に接続されている。また、NchMOSトランジスタQ5のゲートはQ1を駆動するのと逆の位相で駆動される。ここで、Q5のゲート・ソース間は入力電源 V_{IN} から定電圧回路4を通してPchMOSトランジスタQ6、Q7からなる駆動回路に印加される。抵抗R1、R2、D4、D5およびインバータINV1はMOSトランジスタQ2とQ3、Q4が同時にオンしないように選定され、抵抗R3、R4、D6、D7はMOSトランジスタQ6とQ7が同時にオンしないよう選定され、抵抗R5、D8によりPchMOSトランジスタQ1と同期整流用トランジスタQ5の同時オンを制限している構成となっている。

【0037】本実施形態のスイッチング電源装置では同期整流回路の採用により主スイッチQ1のドレインに接続されたダイオードD3による損失が減少するので、さらに駆動損失の低減効率の向上をはかることができる。

【0038】図5は本発明のスイッチング電源装置の第3実施形態の回路図である。

【0039】この実施形態のスイッチング電源装置は図1の駆動回路2に代ってインバータINV1とダイオードD4、D5と抵抗R1、R2が用いられ、同期整流用NchMOSトランジスタQ5とダイオードD8と抵抗R5が追加された構成となっている。

【0040】同期整流用NchMOSトランジスタQ5のゲートは駆動用NchMOSトランジスタQ4のドレインに、主スイッチであるPchMOSトランジスタQ1との同時オン防止のために、抵抗R5とダイオードD8の並列回路を通して接続されている。

【0041】この実施形態のスイッチング電源装置は図4の実施形態と同様に同期整流回路が採用されているので、駆動損失の増大を防止する上で、一層の効果があがり、しかも最も少ない部品数で高い効率を挙げることができる。

【0042】

【発明の効果】以上説明したように本発明は、主スイッ

チのオン期間にインダクタに蓄積されたエネルギーをオフ期間に入力電源に回生することにより、クランプ電圧を低くしても駆動損失の増大が防がれる効果があり、また、同期整流用PchMOSトランジスタを設けたものは、さらに駆動損失が低減されたスイッチング電源装置が実現するという効果がある。

【図面の簡単な説明】

【図1】本発明のスイッチング電源装置の第1実施形態の回路図である。

10 【図2】図1のスイッチング電源装置の動作を示すタイミングチャートである。

【図3】(a)、(b)および(c)は図1のスイッチング電源装置の動作を説明するためのシンボル化した等価回路である。

【図4】本発明のスイッチング電源装置の第2実施形態の回路図である。

【図5】本発明のスイッチング電源装置の第3実施形態の回路図である。

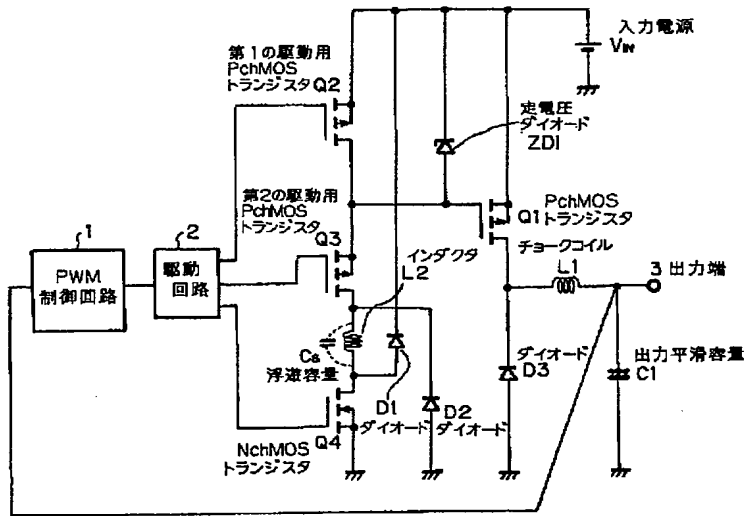
20 【図6】スイッチング電源装置の従来例の回路図である。

【図7】図6のスイッチング電源装置の駆動回路の回路図である。

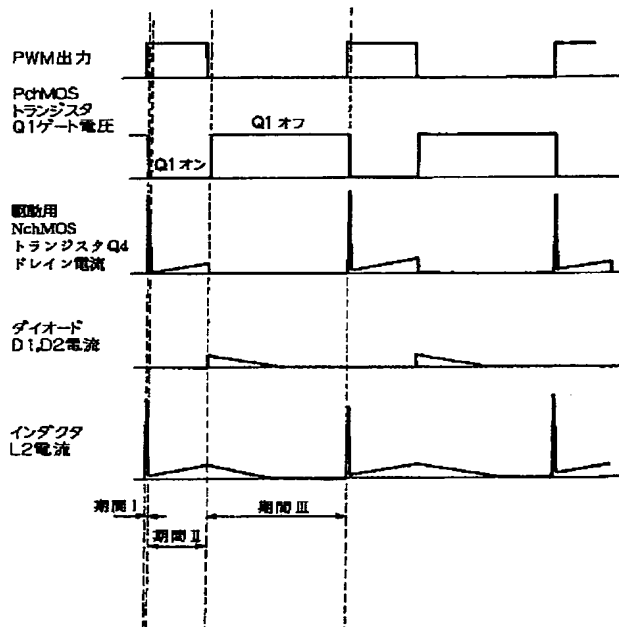
【符号の説明】

- 1 PWM制御回路
- 2 駆動回路
- 3 出力端
- 4 定電圧電源
- Q1 主スイッチ (PchMOSトランジスタ)
- Q2 駆動用PchMOSトランジスタ
- 30 Q3 駆動用PchMOSトランジスタ
- Q4 駆動用NchMOSトランジスタ
- Q5 同期整流スイッチ (NchMOSトランジスタ)
- Q6、Q7 PchMOSトランジスタ
- D1、D2 クランプエネルギー回生用ダイオード
- D3 フライホイール用ダイオード
- D4、D5、D6、D7、D8 ダイオード
- ZD1 クランプ用定電圧ダイオード
- V_{IN} 入力電源
- 40 L1 チョークコイル
- C1 出力平滑容量
- C_S 浮遊容量
- L2 クランプエネルギー蓄積用インダクタ
- R1、R2、R3、R4、R5 抵抗

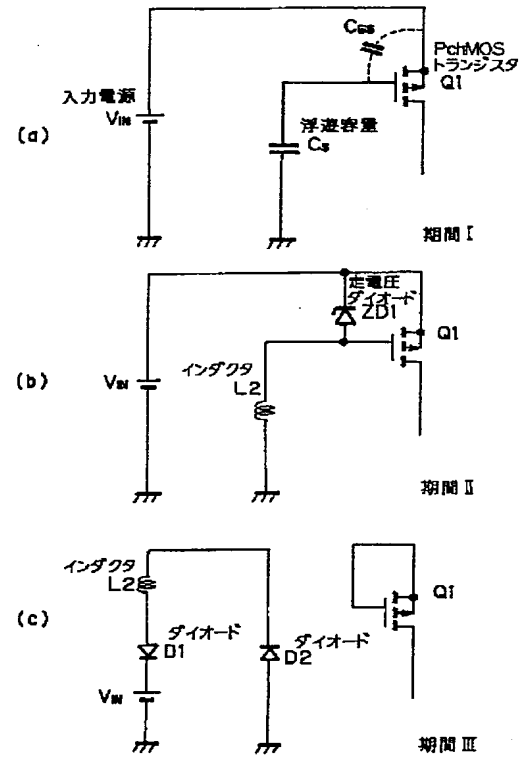
【図1】



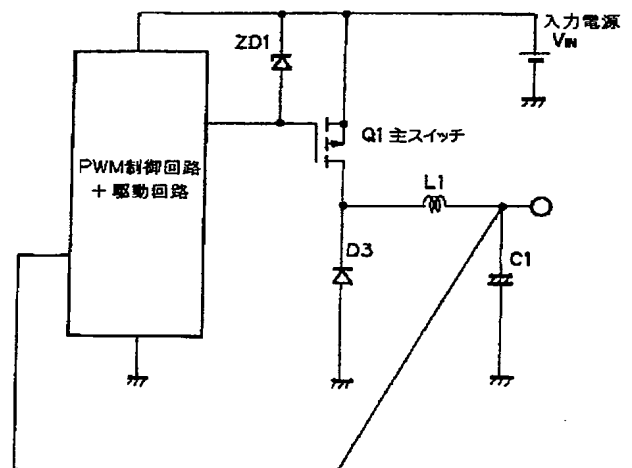
【図2】



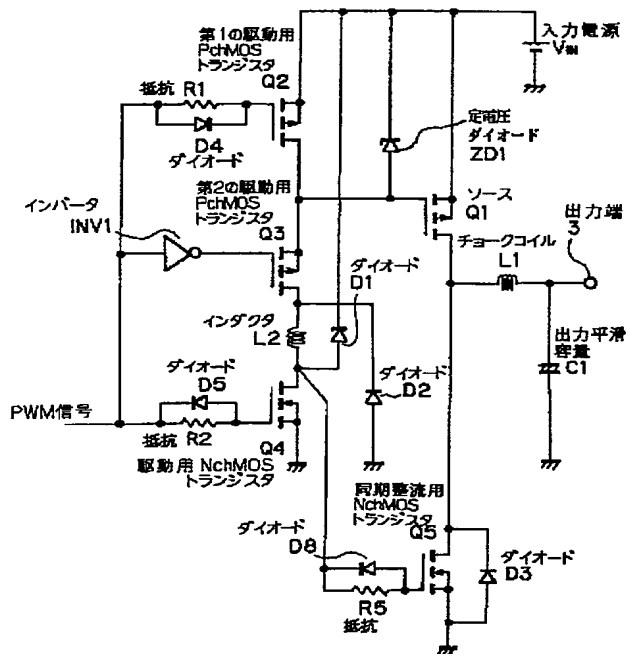
【図3】



【図6】



【図5】



【図 7】

